

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-293320

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

G02F 1/136

(21)Application number : 09-104518

(71)Applicant : SEIKO EPSON CORP

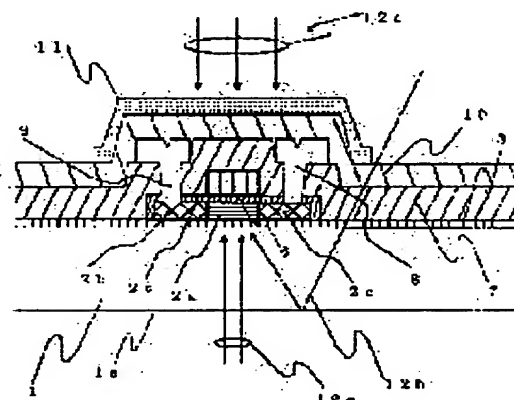
(22)Date of filing : 22.04.1997

(72)Inventor : HIRABAYASHI YUKIYA

**(54) SOI SUBSTRATE, MANUFACTURE THEREOF, AND SEMICONDUCTOR DEVICE AND LIQUID CRYSTAL PANEL USING THE SUBSTRATE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To prevent the occurrence of a light leak due to direct incident light from a substrate reverse side, or the ingress of reflected light into a transistor element forming zone by forming a shading layer between a transparent support substrate and a semiconductor thin film layer formed thereon.

**SOLUTION:** A silicon-on insulator(SOI) substrate is formed to have a shading layer 4 for a transistor element on a transparent support substrate 1, and to have a monocrystal silicon layer 2 formed thereon via an insulation layer 5 and an oxide film 3 stacked on top of each other. The shading layer 4 is patterned so as to cover a MOSFET channel zone to form a fabricated device, and does not exist at other than the MOSFET channel zone. Thus, the substrate so formed is used for transmission type liquid crystal display device or the like requiring the transmission of light through a substrate.



Also, metal having a high fusion point or the silicon compound thereof is applied as the material of the shading layer 4, thereby providing a characteristic stable enough for a thermal process indispensable to the manufacture of MOSFET, such as impurity dispersion in a monocrystal silicon layer.

**LEGAL STATUS**

[Date of request for examination] 25.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3531415

[Date of registration] 12.03.2004

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] The SOI substrate characterized by having a transparent support substrate, the protection-from-light layer formed in one front face of said support substrate, the insulator layer prepared on said protection-from-light layer, and the single-crystal-silicon layer formed on said insulator layer.

[Claim 2] The SOI substrate according to claim 1 characterized by having carried out patterning and having arranged the protection-from-light layer formed on the support substrate so that it may cover the transistor component formation field formed of the single-crystal-silicon layer prepared through the insulator layer on said protection-from-light layer.

[Claim 3] The SOI substrate according to claim 1 or 2 characterized by the protection-from-light layer formed on the support substrate consisting of a refractory metal or its silicon compound.

[Claim 4] The process which forms a protection-from-light layer in one front face of a transparent support substrate, and the process which carries out patterning in order to cover the transistor component field formed of the single-crystal-silicon layer in which said protection-from-light layer was prepared through the insulator layer on this. The manufacture approach of the SOI substrate characterized by including said protection-from-light layer by which patterning was carried out, the process which forms an insulator layer on said support substrate, the process which carries out flattening of said insulator layer front face, and the process which sticks a single-crystal-silicon layer on this insulator layer front face by which flattening was carried out.

[Claim 5] It is the semiconductor device characterized by being arranged so that a protection-from-light layer may be formed in one front face of a transparent support substrate and said protection-from-light layer may cover the transistor component field formed through the insulator layer prepared on this.

[Claim 6] The liquid crystal panel characterized by enclosing liquid crystal in the gap of the above-mentioned SOI substrate and the above-mentioned transparence substrate while

said SOI substrate according to claim 1 to 3 and the transparence substrate by the side of the incidence which has a counterelectrode set suitable spacing and are arranged.

## [Detailed Description of the Invention]

## [0001]

[Field of the Invention] This invention relates to the liquid crystal panel and electronic equipment which used the SOI substrate for the SOI substrate which used the SOI (Silicon on Insulator) substrate, especially the transparence support substrate, its manufacture approach, and a list.

## [0002]

[Description of the Prior Art] The SOI technique which forms a silicon thin film on an insulating base, and forms a semiconductor device in the silicon thin film is widely studied from having advantages, such as improvement in the speed of a component, and low-power-izing, high integration.

[0003] As one of the SOI technique of this, there is a production technique of the SOI substrate by the lamination of a single crystal silicon substrate. Strengthening of lamination reinforcement is made by heat treatment, and, subsequently to a support substrate top, this technique generally called a lamination method forms the single-crystal-silicon layer of a thin film by the grinding of a single crystal silicon substrate, polish, or etching, after sticking a single crystal silicon substrate and a support substrate using the hydrogen bond force. By this technique, in order to thin-film-ize the silicon substrate of a direct single crystal, it excels in the crystallinity of a silicon thin film, and the device of high performance can be created.

[0004] Moreover, a hydrogen ion is injected into a single crystal silicon substrate as a thing adapting this lamination method. The technique (US Patent 5374564) of separating a thin film silicon layer from the hydrogen impregnation field of a single crystal silicon substrate by heat treatment, after sticking this with a support substrate, Epitaxial growth of the single-crystal-silicon layer is carried out on the silicon substrate which porosity-ized the front face. After sticking this with a support substrate, a silicon substrate is removed, and the technique (JP, 4-346418, A) of forming an epitaxial single-crystal-silicon thin film on a support substrate etc. is known by etching a porosity silicon layer. Although the SOI substrate by such lamination method is used for production of various devices like the usual bulk semiconductor substrate, the point which can use various ingredients for a support substrate as a different description from the conventional bulk substrate can be mentioned. That is, not to

mention the usual silicon substrate, a transparent quartz or a glass substrate can be used as a support substrate. By forming a single-crystal-silicon thin film on a transparent substrate, it becomes possible to form a highly efficient transistor component in the device which needs light transmission nature, for example, the liquid crystal display device of a transparency mold etc., using the single crystal silicon excellent in crystallinity.

[0005]

[Problem(s) to be Solved by the Invention] Thus, in a transparence support substrate and the SOI substrate which stuck the single-crystal-silicon thin film, a single-crystal-silicon layer is used as the channel of transistor components, such as MOSFET (Metal Oxide Semiconductor Field Effect Transistor), the source, and a drain field. When light is irradiated from a substrate rear face at this time as a substrate is transparent, the leakage current by optical exposure occurs to the channel field of this MOSFET, and the property of a device deteriorates. (The field in which the single-crystal-silicon layer was formed in addition here is used as the front face of a substrate, and the opposite side is used as the rear face.) It explains concretely, using drawing about this point. Drawing 2 is the sectional view of the lamination SOI substrate using the transparence substrate currently manufactured conventionally. In this SOI substrate, the single-crystal-silicon layer 2 has the support substrate 1 and stuck structure through the oxide-film layer 3. Since the oxide-film layer 3 described here has the property which generally penetrates light, in the conventional SOI substrate which used transparent materials, such as a quartz and glass, for the support substrate, the layer which has protection-from-light nature will be entirely prepared in the lower layer of the single-crystal-silicon layer 2.

[0006] Drawing 3 is the sectional view of MOSFET produced using the conventional SOI substrate shown by drawing 2. The oxide-film layer 3 is on the support substrate 1, there are source field 2b of MOSFET which carried out patterning of the single-crystal-silicon layer, and formed it further, channel field 2a, and drain field 2c, and this single-crystal-silicon field is covered by 2d of gate dielectric film which carried out scaling of this and formed it. The gate electrode 6 is on 2d of gate dielectric film, and the single-crystal-silicon field and the gate electrode 6 of MOSFET are covered with the 1st interlayer film 7. Furthermore, the source line 9 and the drain wire 8 have connected with source field 2b and drain field 2c through opening of the 1st interlayer film 7, respectively. Besides the 2nd interlayer film 10 is formed

further, and the up protection-from-light layer 11 is formed on the 2nd interlayer film 10. The up protection-from-light layer 11 is formed with metal thin films, such as opaque insulating ingredients, such as black polyimide resin, or aluminum, etc. When optical 12a carries out direct incidence from a substrate front-face side, optical leak according channel field 2a of MOSFET prepared on the substrate to optical 12a can be suppressed by the up protection-from-light layer 11. However, optical leak cannot be prevented when the light shown by 12c from a substrate rear face goes into channel field 2a of MOSFET directly. Moreover, when there is light like 12b reflected by background interface 1a of a substrate, even if it carries out incidence from a substrate front face, the part will reach channel field 2a of MOSFET, and will cause optical leak.

[0007] That is, conventionally which was shown in drawing 2, with the SOI substrate of structure, since the protection-from-light layer was not prepared between the support substrate 1 and the single-crystal-silicon layer 2, when this SOI substrate was used and MOSFET by the single-crystal-silicon thin film was formed, MOSFET channel field 2a was able to be interrupted neither from direct incident light 12c from a substrate rear face, nor reflected light 12b on the rear face of a substrate. For this reason, in MOSFET produced with the SOI substrate of structure conventionally [said], optical leak occurred and there was a fundamental trouble that the property of a component deteriorated. Moreover, it was difficult to use a transparent SOI substrate to the device using light by this, and there was a problem that versatility was low.

[0008] The purpose of this invention is to offer [the SOI substrate which can produce the semiconductor device which the problem of optical leak does not produce even if it uses a transparent support substrate, and ] the manufacture approach. Moreover, another purpose of this invention is to offer the highly efficient semiconductor device using a SOI substrate without the optical leak which used the transparence substrate.

[0009]

[Means for Solving the Problem] The SOI substrate of this invention prepares the protection-from-light layer of the embedding mold for preventing optical leak between a transparent support substrate and the single-crystal-silicon layer formed on it in order to attain the above-mentioned purpose. This protection-from-light layer is formed on one front face of a support substrate, and a single-crystal-silicon layer is formed on the insulating layer deposited on this

protection-from-light layer. Patterning of the protection-from-light layer is carried out so that the channel field of MOSFET which constitutes the device which it is going to produce may be covered, and a protection-from-light layer does not exist in any parts other than the channel field of Above MOSFET. For this reason, it is possible to use for an application with the need that substrates, such as a transparency mold liquid crystal display device, penetrate light, for example. Moreover, the SOI substrate which has a sufficiently stable property to a thermal process indispensable to MOSFET manufacture of the impurity diffusion to a single-crystal-silicon layer etc. is producible by using refractory metals or those silicon compounds (silicide) as an ingredient of this protection-from-light layer.

[0010]

[Embodiment of the Invention] Hereafter, the suitable example of this invention is explained based on a drawing.

[0011] (Example 1) Drawing 1 is the sectional view showing the 1st example of the SOI substrate which applied this invention. Moreover, drawing 4 and drawing 5 are drawings showing the creation approach of the SOI substrate in the 1st example of this invention. As shown in drawing 1, the protection-from-light layer 4 of a transistor component is formed on the support substrate 1 with the transparent SOI substrate by this invention, and the single-crystal-silicon layer 2 is formed through the insulating layer 5 and the oxide-film layer 3 which were deposited on these. The manufacture process of this SOI substrate is explained using drawing 4. The protection-from-light layer 4 is first formed in the transparent support substrate 1 over the whole surface like drawing 4 (a). In this example, the quartz with a thickness of 1.1mm was used as a support substrate. The protection-from-light layer 4 is obtained by depositing molybdenum on the thickness of about 100-1000nm by the spatter. Molybdenum was deposited on the thickness of 400nm in this example. In addition, the ingredient of this protection-from-light layer 4 is not limited to this example, and it is satisfactory no matter what ingredient it may use to the thermal process maximum temperature of the device to produce, if it is a stable ingredient. For example, it is used for others as refractory metals and polycrystalline silicon, such as a tungsten and a tantalum, and an ingredient with still more desirable silicide, such as tungsten silicide and molybdenum silicide, and the forming method can also use a CVD method besides a spatter, electron-beam-heating vacuum deposition, etc. Next, in order to leave and remove so that the channel field of MOSFET which forms on it the protection-from-light layer 4 formed like

drawing 4 (b) may be covered, the photoresist pattern 13 is formed. Next, the protection-from-light layer 4 is etched by using as a mask the photoresist pattern 13 formed like drawing 4 (c), and protection-from-light layers other than a transistor formation field are removed in dry etching. The photoresist pattern 13 exfoliates after etching. Next, in order to secure the insulation between the protection-from-light layer 4 and the single-crystal-silicon layer formed on it like drawing 4 (d), an insulating layer 5 is deposited. This insulating layer used silicon oxide. This silicon oxide can be formed by the spatter or the plasma-CVD method which used TEOS (tetraethyl orthochromatic silicate). Even if an insulating layer 5 carries out flattening of the covering level difference of the protection-from-light layer 4 by polish, it is taken as the thickness which can secure sufficient insulation with the single-crystal-silicon layer 2 on the protection-from-light layer 4. Specifically, an insulating layer 5 is good to deposit many about 500-1000nm to the thickness of the protection-from-light layer 4. 1000nm of silicon oxide was made to deposit by the plasma CVD of TEOS to 400nm of thickness of the protection-from-light layer 4 in this example. In this way, since the substrate front face has irregularity according to the existence of the protection-from-light layer 4, when a single crystal silicon substrate and lamination were performed as it is, a void (opening) is formed in a concavo-convex level difference part and the obtained support substrate with a protection-from-light layer is stuck, the ununiformity of bonding strength produces it. For this reason, the front face of the support substrate which formed the protection-from-light layer 4 as shown in drawing 5 (e) is ground globally, and carries out flattening. as the technique of flattening by polish -- CMP (chemical mechanical polishing) -- law was used. In CMP, it is good to set up about 200-700nm of more amounts of polishes of the insulating layer 5 on the protection-from-light layer 4 rather than the thickness of the protection-from-light layer 4. Since the level difference of a protection-from-light layer pattern edge can be made small to 3nm or less by performing CMP processing on this condition, also in case it is single crystal silicon substrate lamination, uniform lamination reinforcement is obtained all over a substrate. Next, lamination of the support substrate which formed the protection-from-light layer as shown in drawing 5 (f), and the single crystal silicon substrate 20 is performed. The single crystal silicon substrate 20 used for lamination is 300 micrometers in thickness, oxidizes the front face

about 0.05-0.8 micrometers beforehand, and forms the oxide-film layer 3. This is for forming the interface of the single-crystal-silicon layer 2 formed after lamination, and the oxide-film layer 3 by thermal oxidation, and securing the good interface of an electrical property. The approach of sticking two substrates directly by heat treatment of 2 hours at 300 degrees C can be used for a lamination process. In order to raise lamination reinforcement further, it is necessary to raise heat treatment temperature further and to make it about 450 degrees C, and since there is a big difference in the coefficient of thermal expansion of a quartz substrate and a single crystal silicon substrate, if it heats as it is, defects, such as a crack, will occur in a single-crystal-silicon layer, and substrate quality will deteriorate. In order to control generating of defects, such as such a crack, after making thin the single crystal silicon substrate which performed heat treatment for lamination at 300 degrees C once to about 100-150 micrometers by wet etching or CMP, it is desirable to perform further hot heat treatment. It etched so that the thickness of a single crystal silicon substrate might be set to 150 micrometers using a 80-degree C KOH water solution in this example. Then, the stuck substrate is again heat-treated at 450 degrees C, and lamination reinforcement is raised. As furthermore shown in drawing 5 (g), this lamination substrate was ground and thickness of the single-crystal-silicon layer 2 was set to 3-5 micrometers.

[0012] thus, the thin-film-ized lamination substrate -- the last -- PACE (PlasmaAssisted Chemical Etching) -- the thickness of the silicon layer 2 is etched and finished to about 0.05-0.8 micrometers -- by -- law. As -- for -- the single-crystal-silicon layer 2, less than 10% of thing was obtained by this PACE processing by 100nm of thickness, as for the homogeneity of opposite *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. The SOI substrate which has a protection-from-light layer according to the above process was producible.

[0013] (Example 2) Drawing 6 and 7 are drawings showing the 2nd example of this invention. The part which drawing 4 and the same sign as 5 attach shows the layer formed at the same process, or a member. In this example, the process which carries out flattening of the support substrate front face with a protection-from-light layer which is shown by drawing 5 (e), and by which patterning was carried out is completely the same as the 1st above-mentioned example. Drawing 6 (a) is a single crystal silicon substrate used for lamination. This single crystal silicon substrate 20 is 600 micrometers in thickness, oxidizes that front face about 0.05-0.8 micrometers beforehand,

and forms the oxide-film layer 3. Next, as shown in drawing 6 R> 6 (b), a hydrogen ion 14 is injected into the single crystal silicon substrate 20. For example, in this example, the hydrogen ion (H+) was poured in in acceleration voltage 100keV and dose  $10E16cm^{-2}$ . The high concentration layer 15 of a hydrogen ion is formed into the single crystal silicon substrate 20 of this processing. Next, the single crystal silicon substrate 20 which carried out the ion implantation as shown in drawing 6 (c) is stuck on the support substrate 1 in which the protection-from-light layer 4 and the insulating layer 5 were formed. The approach of sticking two substrates directly by heat treatment of 2 hours at 300 degrees C can be used for a lamination process. Heat treatment for exfoliating the single crystal silicon substrate 20 from a support substrate is performed leaving the oxide film 3 (this embeds at the time of SOI substrate completion, and serves as an oxide film) and the single-crystal-silicon layer 2 by the side of the lamination side of the single crystal silicon substrate 20 furthermore stuck in drawing 7 (d) on a support substrate. Since association of silicon is divided in the layer which is near the front face of a single crystal silicon substrate by the hydrogen ion introduced into the single crystal silicon substrate, the exfoliation phenomenon of this substrate is produced. In this example, two stuck substrates were heated to 600 degrees C with the programming rate of 20 degrees C/m. The stuck single crystal silicon substrate 20 dissociated with the support substrate, and about 200nm single-crystal-silicon layer 2 was formed in the support substrate front face on it with about 400nm silicon oxide 3 of this heat treatment. Drawing 7 (e) is the sectional view showing the SOI substrate after separation. Since the irregularity of about several nm remains in the front face of a single-crystal-silicon layer, this SOI substrate front face needs to carry out flattening of this. For this reason, the touch polish which grinds a substrate front face in a minute amount (the amount of polishes of less than 10nm) using the CMP method in this example was used. The hydrogen annealing method which heat-treats in a hydrogen ambient atmosphere elsewhere as the technique of this flattening can also be used. the homogeneity of single-crystal-silicon thickness with the good SOI substrate produced by the above -- having -- in addition -- and it has structure with the protection-from-light layer which suppresses optical leak to the device to produce.

[0014] (Example 3) Drawing 8 and 9 are drawings showing the 3rd example in this invention. The part which the same sign as drawing 4 -6 attaches shows the layer formed at the same process, or a

member. In this example, the process which carries out flattening of the support substrate front face with a protection-from-light layer which is shown in drawing 5 (e), and by which patterning was carried out is completely the same as the 1st example of the above-mentioned. Drawing 8 (a) is a silicon substrate for forming the single-crystal-silicon layer for lamination. A silicon substrate 16 is 600 micrometers in thickness, and can use the front face as a porous layer 17 by anodizing in HF / ethanol liquid. The front face of a porous layer 17 is graduated by performing 1050-degree C heat treatment to the single crystal silicon substrate 16 which porosity-ized about 12 micrometers of front faces by this processing in a hydrogen ambient atmosphere. This reduces the defect density of the single-crystal-silicon layer formed on a silicon substrate 16 next, and raises that quality. Next, as shown in drawing 8 (b), the single-crystal-silicon layer 2 is formed in the silicon substrate 16 which graduated the front face of the porosity silicon layer 17 with epitaxial growth. Although the deposition thickness of the single-crystal-silicon layer 2 by epitaxial growth set to 500nm in this example, this does not limit the applicability of this invention. The thickness of a single-crystal-silicon layer can be chosen as arbitration according to the device which it is going to produce. About 50-400nm oxidizes the front face of the single-crystal-silicon layer 2 still like drawing 8 (c), and the oxide-film layer 3 is formed, and let this be the embedding oxide film of the SOI substrate after lamination. Next, as shown in drawing 9 R> 9 (d), the substrate in which the single-crystal-silicon layer 2 and the oxide-film layer 3 were formed is stuck on the support substrate 1 with which the protection-from-light layer 4 and the insulating layer 5 were formed. The approach of sticking two substrates directly by heat treatment of 2 hours at 300 degrees C can be used for a lamination process. Next, as shown in drawing 9 (e), it leaves the scaling film 3, the single-crystal-silicon layer 2, and the porosity-ized silicon layer 17 by the side of a lamination side, and grinding of the silicon substrate is carried out. Subsequently, as shown in drawing 9 (f), etching removes the porosity silicon layer 17, and the single-crystal-silicon layer 2 is obtained on a support substrate. Etching of this porosity silicon layer 17 can remove only porosity silicon completely, maintaining the thickness homogeneity of very good single crystal silicon, in order that it may show etch selectivity with the high porosity silicon layer 17 to the single-crystal-silicon layer 2, if the etching reagent of the presentation of HF/H<sub>2</sub>O<sub>2</sub> is used. Thus, since the irregularity of about several nm

remains in the front face of the single-crystal-silicon layer 2, the SOI substrate from which the porosity silicon layer 17 was removed needs to carry out flattening of this. For this reason, the hydrogen annealing method which heat-treats in a hydrogen ambient atmosphere in this example was used. Moreover, the touch polish which grinds the front face of the single-crystal-silicon layer 2 of a SOI substrate in a minute amount (the amount of polishes of less than 10nm), using the CMP method as the technique of this flattening can also be used. the homogeneity of single-crystal-silicon thickness with the good SOI substrate produced by the above -- having -- in addition -- and it was a thing with structure with the protection-from-light layer which suppresses optical leak to the device to produce.

[0015] (Example 4) Drawing 10 is drawing having shown the flat-surface layout of a transparency mold liquid crystal panel as a suitable example of the device using the SOI substrate produced by this invention. In addition, in order that this drawing may make an understanding easy, the unnecessary part is omitted to explanation and drawn on it in model.

[0016] As shown in drawing 10, the display pixel field 27 is on the transparence substrate 1, and the pixel electrode 19 is arranged in the shape of a matrix. The drive circuit which processes a status signal is formed around the display pixel field 27. The gate line drive circuit 21 scans a gate signal line sequentially, and the data-line drive circuit 22 supplies the picture signal according to image data to a source signal line. Moreover, the input circuit 23 which incorporates the image-data input from the outside through the pad field 26; and the circuit of the timing control circuit 24-grade which controls these circuits are prepare, all of these circuits use as an active element or a switching element MOSFET form at the same process as MOSFET or a different process for pixel electrode switching, and they are constitute from load component combination \*\*\*\*\*, such as resistance and capacity, by this.

[0017] It is a sectional view in the A-A'line of the liquid crystal panel stated to drawing 11 by drawing 10. The substrate 31 with which the liquid crystal panel formed the display pixel and the drive circuit as shown in drawing 8, The transparence substrate 32 which has the counterelectrode 33 which consists of transparence electric conduction film (ITO) with which LC common potential is impressed sets fixed spacing, and is arranged. SH (Super Homeotropic) mold liquid crystal with which orientation of the liquid crystal molecule was carried out almost perpendicularly in the state of

well-known TN (Twisted Nematic) mold liquid crystal 34 or no electrical-potential-difference impressing is filled up with a sealant 35 in the circumference in the clearance by which the closure was carried out. As a liquid crystal panel 30 It is constituted. In addition, the location in which a sealant is prepared so that the pad field 26 may come to the outside of the above-mentioned sealant 35 is set up so that a signal can be inputted from the exterior.

[0018] Drawing 12 is the expansion top view of the pixel part of the transparency mold liquid crystal panel using the SOI substrate produced by this invention. MOSFET is formed in each pixel as a transistor component which controls the charge writing to a pixel. The single-crystal-silicon layer 2 used as a channel, the source, and a drain field is formed in each pixel, MOSFET is accomplished, and the end child in whom the end child of others [child / the / end / line / 6 / gate] again remains at the source line 9 is connected to the drain electrode 8 connected to the pixel electrode 19 of a display pixel. Moreover, in order to prevent protection from light of the channel field of MOSFET, and the optical leakage between display pixels, the up protection-from-light layer 11 is formed. The greatest description of this liquid crystal panel is a point used as the structure where the protection-from-light layer 4 altogether formed on the occasion of SOI substrate production is arranged under MOSFET for control of each display pixel and display signal processing, an input circuit, and the formation field of MOSFET which constitutes a timing control circuit in a list.

[0019] This is explained in detail using drawing 13. Drawing 13 is drawing showing the cross-section structure in "B-B" of MOSFET prepared in the display pixel field shown by drawing 12. Between channel field 2a of MOSFET, and the transparent support substrate 1, the protection-from-light layer 4 is formed so that channel field 2a may be covered, and it has structure which can interrupt any incident light from a substrate rear-face side. For example, with the conventional SOI structure, the protection-from-light layer 4 of this invention demonstrates effective protection-from-light nature to direct incident light 12c from the substrate rear face which was not able to shade, reflected light 12b on the rear face of a substrate, etc. Although the MOSFET structure of the display pixel section was shown as an example of a protection-from-light layer here, this structure is applied also like MOSFET which constitutes the drive circuit formed around display pixel area.

[0020] The oxide-film layer 3 is on the support substrate 1 with which the protection-from-light

layer 4 and the insulating layer 5 were formed, there are source field 2b of MOSFET which carried out patterning of the single-crystal-silicon layer, and formed it further, channel field 2a, and drain field 2c, and this single-crystal-silicon field is covered by 2d of gate dielectric film which carried out scaling of this and formed it. The gate electrode 6 is on gate dielectric film 5, and the single-crystal-silicon field and the gate electrode 6 of MOSFET are covered with the 1st interlayer film 7. Furthermore, the source line 9 and the drain wire 8 have connected with source field 2b and drain field 2c through opening of the 1st interlayer film 7, respectively. Besides the 2nd interlayer film 10 is formed further, and the up protection-from-light layer 11 and the pixel electrode 19 are formed on the 2nd interlayer film 10. In addition, it connects with the drain electrode 8 through opening of the 2nd interlayer film 10, and the up protection-from-light layer 11 is formed with opaque insulating ingredients, such as black polyimide resin, and the pixel electrode 19 has structure which prevents pixel inter-electrode optical leakage.

[0021] Although the transparency mold liquid crystal panel was made into the example and the above-mentioned example explained it, it is clear that it is applicable also to various semiconductor devices, such as an image input device which this does not limit the application of this invention and reads the display device and the optical information on the others using the display mode of a transparency mold. What is necessary is just to form the transistor component which drives said semiconductor device in that case like said example on the protection-from-light layer prepared in the SOI substrate.

[0022] In addition, since the pattern of a protection-from-light layer is determined by arrangement of the transistor formed on it, as for the lamination process of a substrate, it is desirable to be contained as a part of semiconductor device production process made into the purpose. Thus, by connecting a substrate manufacture process and a device manufacture process, it becomes possible to build the total process using the highly efficient substrate which suited the needs by the side of a device, and high-performance-izing of a device and reduction of process cost can also be attained.

[0023]

[Effect of the Invention] Thus, since the SOI substrate by this invention prepared the protection-from-light layer between the transparent support substrate and the semi-conductor thin film layer formed on it, the direct incident light from a substrate rear face and the light reflected with the substrate rear face can

trespass upon a transistor component formation field, and it can prevent generating of optical leak. For this reason, if the SOI substrate of this invention is used, it will become possible to produce a device also to the application using light.

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the SOI substrate in the 1st example of this invention.

[Drawing 2] The sectional view of the SOI substrate using the lamination method currently manufactured conventionally.

[Drawing 3] Cross-section structural drawing showing the protection-from-light means of MOSFET produced using the SOI substrate by the conventional lamination method.

[Drawing 4] Drawing showing the production process of the SOI substrate in the 1st example of this invention.

[Drawing 5] Drawing showing the production process of the SOI substrate in the 1st example of this invention.

[Drawing 6] Drawing showing the production process of the SOI substrate in the 2nd example of this invention.

[Drawing 7] Drawing showing the production process of the SOI substrate in the 2nd example of this invention.

[Drawing 8] Drawing showing the production process of the SOI substrate in the 3rd example of this invention.

[Drawing 9] Drawing showing the production process of the SOI substrate in the 3rd example of this invention.

[Drawing 10] The top-view of the liquid crystal panel in the 4th example of this invention.

[Drawing 11] The sectional view of the liquid crystal panel in the 4th example of this invention.

[Drawing 12] The flat-surface layout pattern of the display pixel section produced on the substrate of the liquid crystal panel in the 4th example of this invention.

[Drawing 13] Cross-section structural drawing of MOSFET produced on the substrate of a liquid crystal panel in the 4th example in this invention.

[Description of Notations]

- 1 Transparence Support Substrate
- 2 Single-Crystal-Silicon Thin Film
- 2a MOSFET channel field
- 2b MOSFET source field
- 2c MOSFET drain field
- 2d MOSFET gate oxide
- 3 Embedding Oxide Film by Scaling
- 4 Protection-from-Light Layer
- 5 Insulating Layer
- 6 Gate Electrode
- 7 1st Interlayer Film

8 Drain Electrode

9 Source Electrode and Signal Line

10 2nd Interlayer Film

11 Up Protection-from-Light Layer

12a Incident light from a substrate front-face side

12b Carry out incidence from a substrate front face, and it is reflective sushi \*\*\*\* with a support substrate.

12c Incident light from a substrate rear face

13 Photoresist Mask

14 Hydrogen Ion Beam

15 Hydrogen Ion Layer Driven in into Silicon Substrate

16 Silicon Substrate

17 Porosity Silicon Layer

19 Pixel Electrode

20 Single Crystal Silicon Substrate

21 Data-Line Drive Circuit

22 Gate Line Drive Circuit

23 Input Circuit

24 Timing Control Circuit

26 Pad Field

27 Display Pixel Field

30 Liquid Crystal Panel

31 Liquid Crystal Panel Component Substrate

32 Transparence Substrate

33 Counterelectrode

34 Liquid Crystal Layer

35 Sealant

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-293320

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.<sup>5</sup>

G 0 2 F 1/136

識別記号

5 0 0

F I

G 0 2 F 1/136

5 0 0

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平9-104518

(22) 出願日 平成9年(1997)4月22日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 平林 幸哉

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

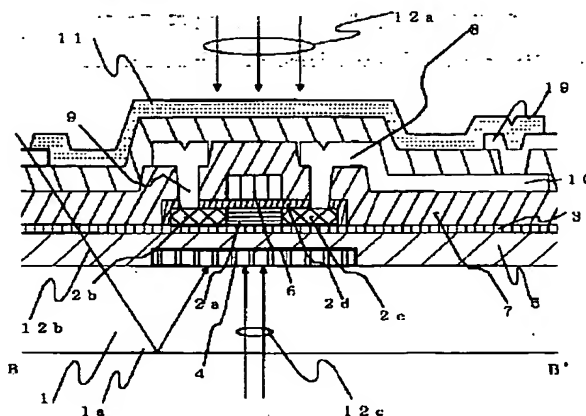
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 SOI基板とその製造方法及びこれを用いた半導体装置及び液晶パネル

(57) 【要約】

【課題】従来、透明基板を用いた貼り合わせSOI基板では、基板裏面から光が入射すると、基板上に形成した半導体デバイスに光によるリーク電流が発生し、デバイス特性が劣化し、動作不良の原因となっていた。

【解決手段】このためSOI基板の透明支持基板1と単結晶シリコン層2の間に遮光層4を形成することにより、基板裏面からの光入射を遮る構造とした。遮光層4は、貼り合わせ法SOI作製プロセスにおいて単結晶シリコン層を支持基板と貼り合わせる前に支持基板側にあらかじめ形成しておく。



## 【特許請求の範囲】

【請求項1】透明な支持基板と、前記支持基板の一方の表面に形成された遮光層と、前記遮光層の上に設けられた絶縁体層と、前記絶縁体層の上に形成された単結晶シリコン層とを備えることを特徴とするSOI基板。

【請求項2】支持基板上に形成された遮光層が、前記遮光層上に絶縁体層を介して設けられた単結晶シリコン層により形成されるトランジスタ素子形成領域を覆うべくパターンニングされ、配置されたことを特徴とする請求項1記載のSOI基板。

【請求項3】支持基板上に形成された遮光層が、高融点金属もしくはその珪素化合物からなることを特徴とする請求項1または2に記載のSOI基板。

【請求項4】透明な支持基板の一方の表面に遮光層を形成する工程と、前記遮光層を、この上に絶縁体層を介して設けられた単結晶シリコン層により形成されるトランジスタ素子領域を覆うべくパターンニングする工程と、前記パターンニングされた遮光層と前記支持基板の上に絶縁体層を形成する工程と、前記絶縁体層表面を平坦化する工程と、この平坦化された絶縁体層表面に単結晶シリコン層を貼り合わせる工程とを含むことを特徴とするSOI基板の製造方法。

【請求項5】透明な支持基板の一方の表面に遮光層が形成され、前記遮光層は、この上に設けられた絶縁体層を介して形成されたトランジスタ素子領域を覆うべく配置されていることを特徴とする半導体装置。

【請求項6】前記請求項1～3記載のSOI基板と、対向電極を有する入射側の透明基板とが適当な間隔をおいて配置されるとともに、上記SOI基板と上記透明基板との間隙内に液晶が封入されていることを特徴とする液晶パネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はSOI(Silicon on Insulator)基板、特に透明支持基板を用いたSOI基板とその製造方法、並びにそのSOI基板を用いた液晶パネル及び電子機器に関する。

## 【0002】

【従来の技術】絶縁基体上にシリコン薄膜を形成し、そのシリコン薄膜に半導体デバイスを形成するSOI技術は、素子の高速化や低消費電力化、高集積化等の利点を有することから広く研究されている。

【0003】このSOI技術の1つとして、単結晶シリコン基板の貼り合わせによるSOI基板の作製技術がある。一般に貼り合わせ法と呼ばれるこの手法は、単結晶シリコン基板と支持基板を水素結合を利用し貼り合わせた後、熱処理によって貼り合わせ強度の強化がなされ、次いで単結晶シリコン基板の研削や研磨、またはエッチングによって薄膜の単結晶シリコン層を支持基板上に形成するものである。この手法では、直接単結晶のシ

リコン基板を薄膜化するために、シリコン薄膜の結晶性に優れ、高性能のデバイスを作成できる。

【0004】また、この貼り合わせ法を応用したものとして、単結晶シリコン基板に水素イオンを注入し、これを支持基板と貼り合わせた後、熱処理によって薄膜シリコン層を単結晶シリコン基板の水素注入領域から分離する手法(US Patent 5374564)や、表面を多孔質化したシリコン基板上に単結晶シリコン層をエピタキシャル成長させ、これを支持基板と貼り合わせた後にシリコン基板を除去し、多孔質シリコン層をエッチングすることにより支持基板上にエピタキシャル単結晶シリコン薄膜を形成する手法(特開平4-346418)などが知られている。このような貼り合わせ法によるSOI基板は通常のパルク半導体基板と同様に、さまざまなデバイスの作製に用いられているが、従来のパルク基板と異なる特徴として、支持基板に様々な材料を使用することが可能な点を挙げることができる。すなわち支持基板として通常のシリコン基板はもちろんのこと、透明な石英、あるいはガラス基板などを用いることができる。透明な基板上に単結晶シリコン薄膜を形成することによって、光透過性を必要とするデバイス、例えば透過型の液晶表示デバイスなどにも結晶性に優れた単結晶シリコンを用いて高性能なトランジスタ素子を形成することが可能となる。

## 【0005】

【発明が解決しようとする課題】このように透明支持基板と単結晶シリコン薄膜を貼り合わせたSOI基板においては、単結晶シリコン層はMOSFET(Metal Oxide Semiconductor Field Effect Transistor)などのトランジスタ素子のチャネルやソース、ドレイン領域として用いられる。このとき基板が透明であると、基板裏面から光が照射された際に、このMOSFETのチャネル領域に光照射によるリーク電流が発生し、デバイスの特性が劣化する。(なおここでは単結晶シリコン層の形成された面を基板の表面とし、反対側を裏面としている。)この点について図を用いながら具体的に説明する。図2は従来製造されている透明基板を用いた貼り合わせSOI基板の断面図である。このSOI基板では、単結晶シリコン層2は酸化膜層3を介して支持基板1と貼り合わされた構造となっている。ここで述べた酸化膜層3は一般に光を透過する性質を持つため、支持基板に石英やガラスなどの透明材料を用いた従来のSOI基板では、単結晶シリコン層2の下層には遮光性を有する層が一切設けられていないことになる。

【0006】図3は、図2で示した従来のSOI基板を用いて作製したMOSFETの断面図である。支持基板1の上には酸化膜層3があり、さらに単結晶シリコン層をパターンニングして形成したMOSFETのソース領域2b、チャネル領域2a、およびドレイン領域2cがあ

り、この単結晶シリコン領域はこれを表面酸化して形成したゲート絶縁膜2dで覆われている。ゲート絶縁膜2d上にはゲート電極6があり、MOSFETの単結晶シリコン領域とゲート電極6は第1の層間膜7によって覆われている。さらにソース線9とドレイン線8が第1の層間膜7の開口部を介してそれぞれソース領域2b、ドレイン領域2cに接続している。この上に更に第2の層間膜10が形成され、上部遮光層11が第2の層間膜10上に形成されている。上部遮光層11は黒色ポリイミド樹脂などの不透明絶縁性の材料あるいはアルミニウムなどの金属薄膜などで形成されている。基板表面側から光12aが直接入射する場合には、基板上に設けられたMOSFETのチャネル領域2aを上部遮光層11によって、光12aによる光リークを抑えることができる。しかしMOSFETのチャネル領域2aに基板裏面から12cで示す光が直接入るような場合には、光リークを防ぐことができない。また基板の裏側界面1aで反射する12bのような光があった場合、それが基板表面から入射したものであっても、その一部がMOSFETのチャネル領域2aに到達し光リークを引き起こすことになる。

【0007】すなわち図2に示した従来構造のSOI基板では、支持基板1と単結晶シリコン層2との間に遮光層が設けられていないために、このSOI基板を用いて単結晶シリコン薄膜によるMOSFETを形成した場合、MOSFETチャネル領域2aを、基板裏面からの直接的な入射光12cや、基板裏面での反射光12bから遮ることができなかった。このため、前記従来構造のSOI基板で作製したMOSFETでは光リークが発生し、素子の特性が劣化するという根本的な問題点があった。またこれによって光を用いるデバイスに対して透明なSOI基板を用いることが難しく、汎用性が低いという問題があった。

【0008】本発明の目的は、透明な支持基板を用いても光リークの問題の生じない半導体デバイスを作製できるSOI基板と、その製造方法を提供することにある。また本発明の別の目的は、透明基板を用いた光リークのないSOI基板を用いた高性能な半導体デバイスを提供することにある。

【0009】

【課題を解決するための手段】本発明のSOI基板は、上記の目的を達成するため、透明な支持基板と、その上に形成される単結晶シリコン層との間に、光リークを防ぐための埋め込み型の遮光層を設けたものである。この遮光層は、支持基板の一方の表面上に形成されており、単結晶シリコン層はこの遮光層上に堆積した絶縁層の上に形成される。遮光層は、作製しようとするデバイスを構成するMOSFETのチャネル領域を覆うようにパターンニングされており、上記MOSFETのチャネル領域以外の部分に遮光層は存在しない。このため例えば透過

型液晶表示デバイスなど基板が光を透過する必要のある用途に用いることが可能である。また、この遮光層の材料として高融点金属もしくはそれらの珪素化合物(シリサイド)を用いることにより、単結晶シリコン層への不純物拡散などのMOSFET製造に不可欠な熱プロセスに対して十分安定な特性をもつSOI基板を作製することができる。

【0010】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0011】(実施例1)図1は本発明を適用したSOI基板の第1の実施例を示す断面図である。また図4及び図5は本発明第1の実施例におけるSOI基板の作成方法を示す図である。図1に示すように本発明によるSOI基板は、透明な支持基板1上にトランジスタ素子の遮光層4が設けられ、これらの上に堆積した絶縁層5と酸化膜層3を介して単結晶シリコン層2が形成されたものである。このSOI基板の製造プロセスを図4を用いて説明する。まず図4(a)のように透明な支持基板1に、遮光層4を全面にわたり形成する。本実施例においては支持基板として厚さ1.1mmの石英を用いた。遮光層4は、モリブデンをスパッタ法により100~1000nm程度の厚さに堆積することにより得る。本実施例においてはモリブデンを400nmの厚さに堆積した。なお、この遮光層4の材料は本実施例に限定されるものではなく、作製するデバイスの熱プロセス最高温度に対して安定な材料であればどのような材料を用いても問題はない。例えば他にもタングステン、タンタルなどの高融点金属や多結晶シリコン、さらにはタングステンシリサイド、モリブデンシリサイド等のシリサイドが好ましい材料として用いられ、形成法もスパッタ法他CVD法、電子ビーム加熱蒸着法などを用いることができる。次に図4(b)のごとく形成した遮光層4を、その上に形成するMOSFETのチャネル領域を覆うように残して除去するために、フォトリソパターン13を形成する。次に図4(c)のように形成したフォトリソパターン13をマスクとして遮光層4のエッチングを行い、トランジスタ形成領域以外の遮光層をドライエッチングにて除去する。エッチングの後フォトリソパターン13は剥離する。次に図4(d)のように遮光層4とその上に形成される単結晶シリコン層との間の絶縁を確保するために、絶縁層5を堆積する。この絶縁層はシリコン酸化膜を用いた。このシリコン酸化膜は、例えばスパッタ法、あるいはTEOS(テトラエチルオルソシリケート)を用いたプラズマCVD法により形成できる。絶縁層5は、遮光層4の被覆段差を研磨によって平坦化しても遮光層4上に単結晶シリコン層2との十分な絶縁性を確保できる膜厚とする。具体的には絶縁層5は、遮光層4の膜厚に対して500~1000nm程度多く堆積するのがよい。本実施例においては遮光層4

の膜厚400nmに対し、シリコン酸化膜をTEOSのプラズマCVDにより1000nm堆積させた。こうして得られた遮光層付きの支持基板は、基板表面が遮光層4の有無に応じて凹凸になっているため、このまま単結晶シリコン基板と貼り合わせを行うと凹凸の段差部分にボイド(空隙)が形成され、貼り合わせた際に接合強度の不均一が生じる。このため図5(e)に示すように遮光層4を形成した支持基板の表面をグローバルに研磨して平坦化する。研磨による平坦化の手法としては、CMP(化学的機械研磨)法を用いた。CMPにおいては、遮光層4上での絶縁層5の研磨量を遮光層4の膜厚よりも200~700nm程度多めに設定するのがよい。この条件でCMP処理を行うことにより遮光層パターン端部の段差を3nm以下まで小さくすることができるため、単結晶シリコン基板貼り合わせの際にも基板全面で均一な貼り合わせ強度が得られる。次に図5(f)に示すように遮光層を形成した支持基板と単結晶シリコン基板20の貼り合わせを行う。貼り合わせに用いる単結晶シリコン基板20は、厚さ300 $\mu$ mであり、その表面をあらかじめ0.05~0.8 $\mu$ m程度酸化して酸化膜層3を形成しておく。これは貼り合わせ後に形成される単結晶シリコン層2と酸化膜層3の界面を熱酸化で形成し、電気特性の良い界面を確保するためである。貼り合わせ工程は、例えば300℃で2時間の熱処理によって2枚の基板を直接貼り合わせる方法が採用できる。貼り合わせ強度をさらに高めるためには、さらに熱処理温度を上げて450℃程度にする必要があるが、石英基板と単結晶シリコン基板の熱膨張係数には大きな違いがあるため、このまま加熱すると単結晶シリコン層にクラックなどの欠陥が発生し、基板品質が劣化してしまう。このようなクラックなどの欠陥の発生を抑制するためには、一度300℃にて貼り合わせのための熱処理を行った単結晶シリコン基板をウェットエッチングまたはCMPによって100~150 $\mu$ m程度まで薄くした後に、さらに高温の熱処理を行うことが望ましい。本実施例においては80℃のKOH水溶液を用い、単結晶シリコン基板の厚さが150 $\mu$ mとなるようエッチングを行った。この後、貼り合わせた基板を450℃にて再び熱処理し、貼り合わせ強度を高めている。さらに図5(g)に示すように、この貼り合わせ基板を研磨して、単結晶シリコン層2の厚さを3~5 $\mu$ mとした。

【0012】このようにして薄膜化した貼り合わせ基板は、最後にPACE(Plasma Assisted Chemical Etching)法によってシリコン層2の膜厚を0.05~0.8 $\mu$ m程度までエッチングして仕上げる。このPACE処理によって単結晶シリコン層2は、例えば膜厚100nmに対しその均一性は10%以内のものが得られた。以上の工程により遮光層を有するSOI基板が作製できた。

【0013】(実施例2)図6及び7は本発明の第2の

実施例を示す図である。図4及び5と同一の符号がついている箇所は、同一の工程で形成される層、あるいは部材を示す。この実施例においては、図5(e)で示すパターンニングされた遮光層付きの支持基板表面を平坦化する工程までは、前述の第1の実施例と全く同一である。図6(a)は、貼り合わせに用いる単結晶シリコン基板である。この単結晶シリコン基板20は、厚さ600 $\mu$ mであり、その表面をあらかじめ0.05~0.8 $\mu$ m程度酸化し、酸化膜層3を形成したものである。次に図6(b)に示すように、単結晶シリコン基板20に水素イオン14を注入する。例えば本実施例においては、水素イオン(H<sup>+</sup>)を加速電圧100keV、ドーズ量1.0E16cm<sup>-2</sup>にて注入した。この処理によって単結晶シリコン基板20中に水素イオンの高濃度層15が形成される。次に図6(c)に示すようにイオン注入した単結晶シリコン基板20を遮光層4と絶縁層5を形成した支持基板1に貼り合わせる。貼り合わせ工程は、例えば300℃で2時間の熱処理によって2枚の基板を直接貼り合わせる方法が採用できる。さらに図7(d)においては貼り合わせた単結晶シリコン基板20の貼り合わせ面側の酸化膜3(これがSOI基板完成時には埋め込み酸化膜となる)と単結晶シリコン層2を支持基板上に残したまま、単結晶シリコン基板20を支持基板から剥離するための熱処理を行う。この基板の剥離現象は、単結晶シリコン基板中に導入された水素イオンによって、単結晶シリコン基板の表面近傍のある層でシリコンの結合が分断されるために生じるものである。本実施例においては、貼り合わせた2枚の基板を毎分20℃の昇温速度にて600℃まで加熱した。この熱処理によって、貼り合わせた単結晶シリコン基板20が支持基板と分離し、支持基板表面には約400nm程度のシリコン酸化膜3とその上に約200nmの単結晶シリコン層2が形成された。図7(e)は分離後のSOI基板を示す断面図である。このSOI基板表面は、単結晶シリコン層の表面に数nm程度の凹凸が残っているため、これを平坦化する必要がある。このために本実施例においてはCMP法を用いて基板表面を微量(研磨量10nm未満)に研磨するタッチポリッシュを用いた。この平坦化の手法としては他にも水素雰囲気中にて熱処理を行う水素アニール法を用いることもできる。以上により作製されたSOI基板は、良好な単結晶シリコン膜厚の均一性を有し、なおかつ作製するデバイスに対して光リークを抑える遮光層を有した構造をもつものである。

【0014】(実施例3)図8及び9は本発明における第3の実施例を示す図である。図4~6と同一の符号がついている箇所は、同一の工程で形成される層、あるいは部材を示す。この実施例においては、図5(e)に示すパターンニングされた遮光層付きの支持基板表面を平坦化する工程までは、前述第1の実施例と全く同一である。図8(a)は、貼り合わせ用の単結晶シリコン層を

形成するためのシリコン基板である。シリコン基板16は、厚さ600 $\mu$ mであり、HF/エタノール液中で陽極酸化することによりその表面を多孔質層17にすることができる。この処理によって表面を12 $\mu$ m程度多孔質化した単結晶シリコン基板16に水素雰囲気中で1050℃の熱処理を行うことにより、多孔質層17の表面を平滑化する。これはこの後にシリコン基板16上に形成する単結晶シリコン層の欠陥密度を低減し、その品質を向上させるものである。次に図8(b)に示すように、多孔質シリコン層17の表面を平滑化したシリコン基板16にエピタキシャル成長により単結晶シリコン層2を形成する。エピタキシャル成長による単結晶シリコン層2の堆積膜厚は、本実施例においては500nmとしたが、これは本発明の適用範囲を限定するものではない。単結晶シリコン層の膜厚は作製しようとするデバイスに応じて任意に選択することができる。さらに図8(c)のように単結晶シリコン層2の表面を50~400nm程度酸化し、酸化膜層3を形成して、これを貼り合わせ後のSOI基板の埋め込み酸化膜とする。次に図9(d)に示すように、単結晶シリコン層2および酸化膜層3を形成した基板を、遮光層4と絶縁層5が形成された支持基板1に貼り合わせる。貼り合わせ工程は、例えば300℃で2時間の熱処理によって2枚の基板を直接貼り合わせる方法が採用できる。次に図9(e)に示すように、貼り合わせ面側の表面酸化膜3、単結晶シリコン層2、および多孔質化したシリコン層17を残してシリコン基板を研削する。次いで図9(f)に示すように多孔質シリコン層17をエッチングにより除去し、支持基板上に単結晶シリコン層2を得る。この多孔質シリコン層17のエッチングは、HF/H<sub>2</sub>O<sub>2</sub>という組成のエッチング液を用いると、単結晶シリコン層2に対して多孔質シリコン層17が高いエッチング選択性を示すため、非常に良好な単結晶シリコンの膜厚均一性を保ちつつ、多孔質シリコンのみを完全に除去することができる。このように多孔質シリコン層17を除去したSOI基板は、単結晶シリコン層2の表面に数nm程度の凹凸が残っているため、これを平坦化する必要がある。このために本実施例においては水素雰囲気中にて熱処理を行う水素アニール法を用いた。またこの平坦化の手法としてはCMP法を用いてSOI基板の単結晶シリコン層2の表面を微量(研磨量10nm未満)に研磨するタッチポリッシュを用いることもできる。以上により作製されたSOI基板は、良好な単結晶シリコン膜厚の均一性を有し、なおかつ作製するデバイスに対して光リークを抑える遮光層を有した構造をもつものであった。

【0015】(実施例4)図10は、本発明により作製されたSOI基板を用いたデバイスの好適な例として透過型液晶パネルの平面レイアウトを示した図である。なお、この図面は理解を容易にするために説明に不要な箇所は省略しており、モデル的に描いている。

【0016】図10に示すように、透明基板1上には表示画素領域27があり、画素電極19がマトリクス状に配置されている。表示画素領域27の周辺には、表示信号を処理する駆動回路が形成されている。ゲート線駆動回路21はゲート信号線を順次走査し、データ線駆動回路22はソース信号線に画像データに応じた画像信号を供給する。またパッド領域26を介して外部から入力される画像データを取り込む入力回路23や、これらの回路を制御するタイミング制御回路24等の回路が設けられており、これらの回路はすべて画素電極スイッチング用のMOSFETと同一工程または異なる工程で形成されるMOSFETを能動素子あるいはスイッチング素子とし、これに抵抗や容量などの負荷素子組み合わせることで構成されている。

【0017】図11に図10で述べた液晶パネルのA-A'線での断面図である。図8に示すように液晶パネルは、表示画素と駆動回路を形成した基板31と、LCコモン電位が印加される透明導電膜(ITO)からなる対向電極33を有する透明基板32が一定間隔をおいて配置され、周辺をシール材35で封止された隙間内に周知のTN(Twisted Nematic)型液晶34または電圧無印加状態で液晶分子がほぼ垂直に配向されたSH(Super Homeotropic)型液晶などが充填されて液晶パネル30として構成されている。なお、外部から信号を入力できるように、パッド領域26は上記シール材35の外側に来るようにシール材を設ける位置が設定されている。

【0018】図12は本発明により作製されたSOI基板を用いた透過型液晶パネルの画素部分の拡大平面図である。各画素には画素への電荷書き込みを制御するトランジスタ素子としてMOSFETが形成されている。各画素にはチャネル、ソースおよびドレイン領域となる単結晶シリコン層2が設けられMOSFETを成し、その一端子はゲート線6に、また、他の一端子はソース線9に、残る一端子は表示画素の画素電極19へつながるドレイン電極8に接続されている。またMOSFETのチャネル領域の遮光、および表示画素間の光漏れを防ぐために上部遮光層11を形成している。この液晶パネルの最大の特徴は、各表示画素の制御用MOSFETおよび表示信号処理、入力回路、並びにタイミング制御回路を構成するMOSFETの形成領域の下には、すべてSOI基板作製の際に形成された遮光層4が配置される構造となっている点である。

【0019】これについて図13を用いて詳しく説明する。図13は図12で示した表示画素領域に設けられたMOSFETのB-B'における断面構造を示す図である。MOSFETのチャネル領域2aと透明な支持基板1との間には、チャネル領域2aを覆うように遮光層4が設けられており、基板裏面側からのいかなる入射光も遮ることができる構造となっている。例えば従来のSO

I構造では遮光できなかった基板裏面からの直接的な入射光12cや、基板裏面での反射光12bなどに対して本発明の遮光層4は有効な遮光性を発揮する。ここでは遮光層の例として表示画素部のMOSFET構造を示したが、この構造は表示画素エリア周辺に形成された駆動回路を構成するMOSFETにも同様に適用されている。

【0020】遮光層4と絶縁層5が設けられた支持基板1の上には酸化膜層3があり、さらに単結晶シリコン層をパターンニングして形成したMOSFETのソース領域2b、チャネル領域2a、およびドレイン領域2cがあり、この単結晶シリコン領域はこれを表面酸化して形成したゲート絶縁膜2dで覆われている。ゲート絶縁膜5上にはゲート電極6があり、MOSFETの単結晶シリコン領域とゲート電極6は第1の層間膜7によって覆われている。さらにソース線9とドレイン線8が第1の層間膜7の開口部を介してそれぞれソース領域2b、ドレイン領域2cに接続している。この上に更に第2の層間膜10が形成され、上部遮光層11と画素電極19は第2の層間膜10上に形成されている。なお、画素電極19は第2の層間膜10の開口部を介してドレイン電極8と接続されており、上部遮光層11は黒色ポリイミド樹脂などの不透明絶縁性の材料で形成され、画素電極間の光漏れを防ぐ構造となっている。

【0021】上記実施例では透過型液晶パネルを例にして説明したが、これは本発明の用途を限定するものではなく、透過型の表示モードを用いる他のディスプレイデバイスや光学的な情報を読みとるイメージ入力デバイスなどさまざまな半導体装置にも適用できることは明らかである。その際においても前記半導体装置を駆動するトランジスタ素子等は前記実施例のごとくSOI基板に設けられた遮光層上に形成すればよい。

【0022】なお、遮光層のパターンは、その上に形成されるトランジスタの配置によって決定されるため、基板の貼り合わせ工程は、目的とする半導体デバイス作製プロセスの一部として含まれることが望ましい。このように基板製造プロセスとデバイス製造プロセスをつなげることにより、デバイス側のニーズにあった高性能な基板を用いたトータルプロセスを構築することが可能となり、デバイスの高性能化とプロセスコストの低減をも達成することができる。

【0023】

【発明の効果】このように本発明によるSOI基板は、透明な支持基板と、その上に形成される半導体薄膜層との間に遮光層を設けたため、基板裏面からの直接入射光や、基板裏面で反射した光がトランジスタ素子形成領域に侵入して光リークの発生を防ぐことができる。このため本発明のSOI基板を用いれば光を用いる用途に対してもデバイスを作製することが可能となる。

【図面の簡単な説明】

【図1】本発明第1の実施例におけるSOI基板の断面図。

【図2】従来製造されている貼り合わせ法を用いたSOI基板の断面図。

【図3】従来の貼り合わせ法によるSOI基板を用いて作製したMOSFETの遮光手段を示す断面構造図。

【図4】本発明第1の実施例におけるSOI基板の製造工程を示す図。

【図5】本発明第1の実施例におけるSOI基板の製造工程を示す図。

【図6】本発明第2の実施例におけるSOI基板の製造工程を示す図。

【図7】本発明第2の実施例におけるSOI基板の製造工程を示す図。

【図8】本発明第3の実施例におけるSOI基板の製造工程を示す図。

【図9】本発明第3の実施例におけるSOI基板の製造工程を示す図。

【図10】本発明第4の実施例における液晶パネルの平面図。

【図11】本発明第4の実施例における液晶パネルの断面図。

【図12】本発明第4の実施例における液晶パネルの基板上に作製された表示画素部の平面レイアウト図。

【図13】本発明における第4の実施例で液晶パネルの基板上に作製されたMOSFETの断面構造図。

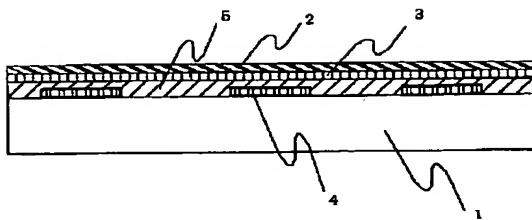
【符号の説明】

- 1 透明支持基板
- 2 単結晶シリコン薄膜
- 2a MOSFETチャネル領域
- 2b MOSFETソース領域
- 2c MOSFETドレイン領域
- 2d MOSFETゲート酸化膜
- 3 表面酸化による埋め込み酸化膜
- 4 遮光層
- 5 絶縁層
- 6 ゲート電極
- 7 第1の層間膜
- 8 ドレイン電極
- 9 ソース電極および信号線
- 10 第2の層間膜
- 11 上部遮光層
- 12a 基板表面側からの入射光
- 12b 基板表面から入射し支持基板で反射した光
- 12c 基板裏面からの入射光
- 13 フォトリソマスク
- 14 水素イオンビーム
- 15 シリコン基板中に打ち込まれた水素イオン層
- 16 シリコン基板
- 17 多孔質シリコン層

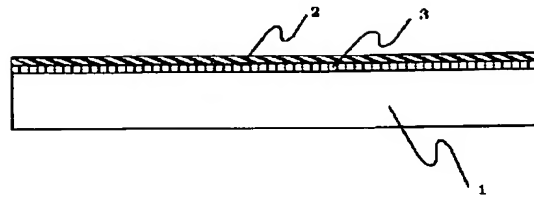
- 19 画素電極
- 20 単結晶シリコン基板
- 21 データ線駆動回路
- 22 ゲート線駆動回路
- 23 入力回路
- 24 タイミング制御回路
- 26 パッド領域

- 27 表示画素領域
- 30 液晶パネル
- 31 液晶パネル素子基板
- 32 透明基板
- 33 対向電極
- 34 液晶層
- 35 シール材

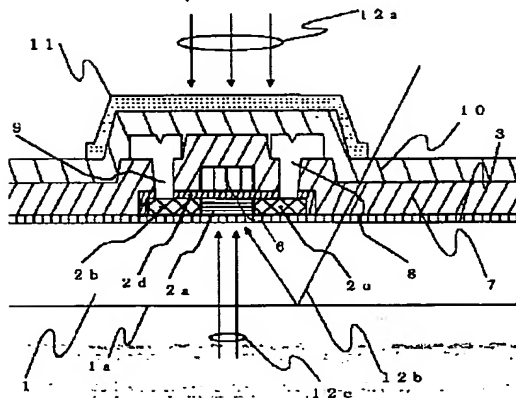
【図1】



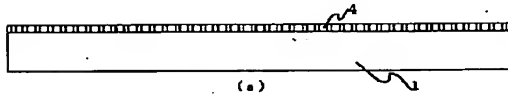
【図2】



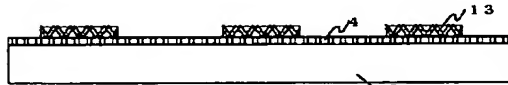
【図3】



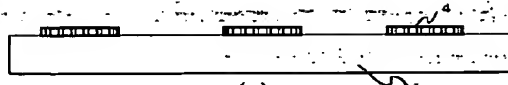
【図4】



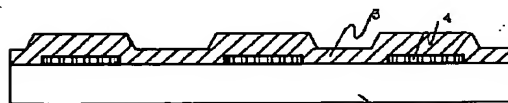
(a)



(b)

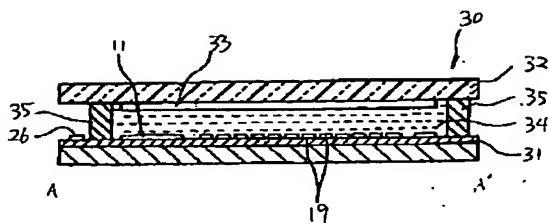


(c)

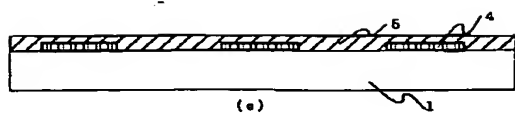


(d)

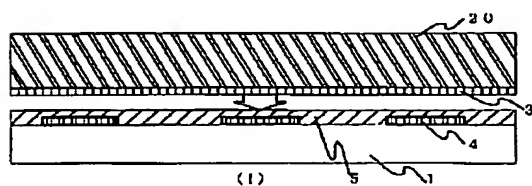
【図11】



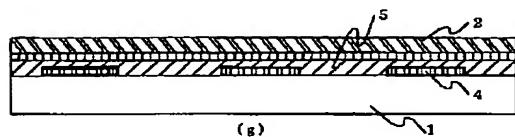
【図5】



(e)

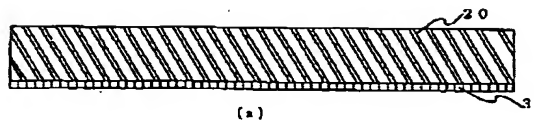


(f)

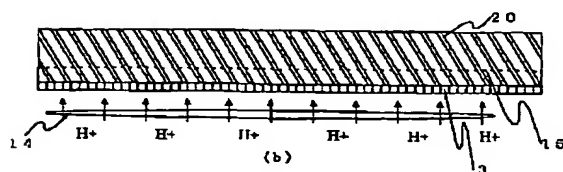


(g)

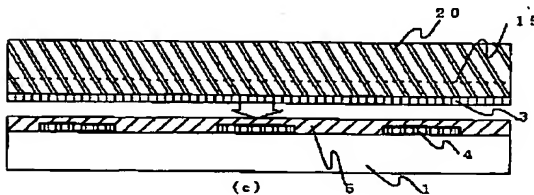
【図6】



(a)

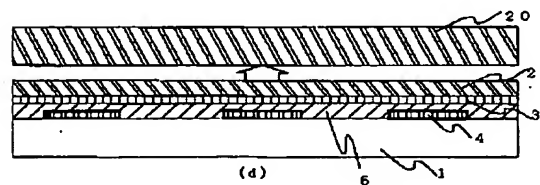


(b)

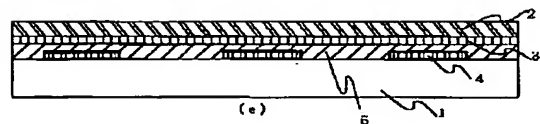


(c)

【図7】

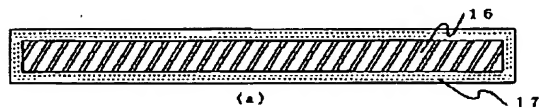


(d)

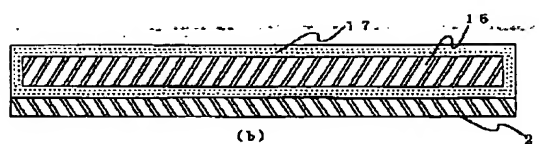


(e)

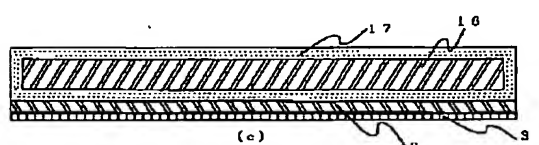
【図8】



(a)

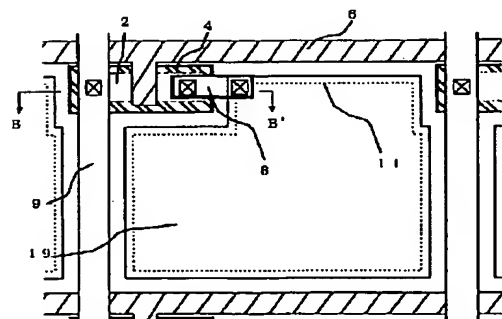


(b)

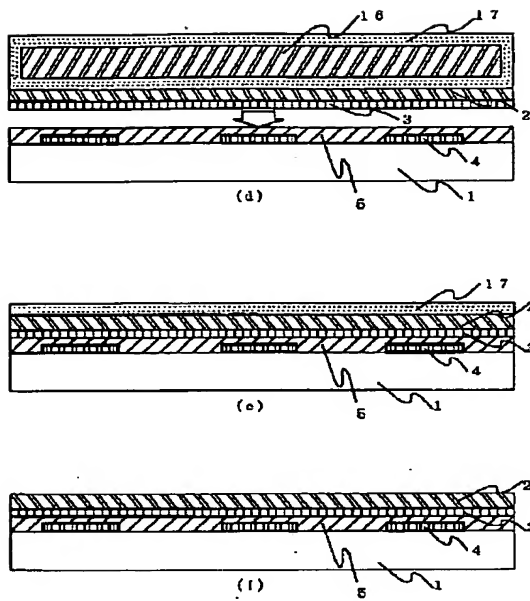


(c)

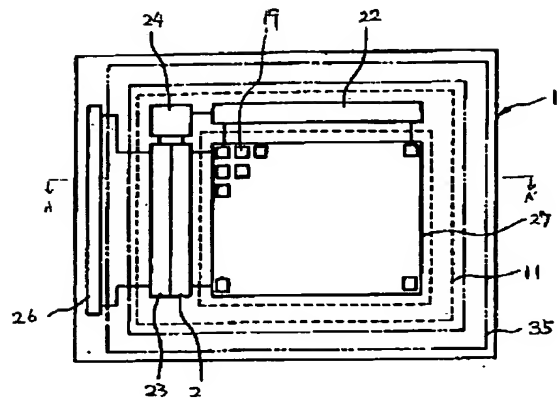
【図12】



【図9】



【図10】



【図13】

